|  |  |
| --- | --- |
| TRƯỜNG ĐẠI HỌC VĂN HIẾN | **CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM** |
| **KHOA Kỹ thuật – Công nghệ** | **Độc lập – Tự do – Hạnh phúc** |
|  |  |

**ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN**

1. **Thông tin về học phần**
* Tên học phần: **Thiết kế hệ thống nhúng trên FPGA**
* Mã học phần: **ELE402**
* Số tín chỉ: 3 TC (2/1/6)
* Bậc đào tạo: Đại học
* Loại học phần (bắt buộc/tự chọn): bắt buộc
* Học phần tiên quyết/ Học phần trước: Điện tử số (ELE303)
* Đơn vị phụ trách: Khoa Kỹ thuật – Công nghệ
* Số giờ tín chỉ: 60 tiết, trong đó:
* Lý thuyết: 30 tiết
* Thực hành: 30 (1 tín chỉ TH = 30 tiết)
1. **Thông tin về giảng viên**

Giảng viên 1:

* Họ và tên: Nguyễn Thanh Thái
* Chức danh, học vị: Thạc sĩ
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Công ty cổ phần Katsura Việt Nam
* Điện thoại: 0908579191
* Email: thaint@vhu.edu.vn

Giảng viên 2:

* Họ và tên: Nguyễn Thị Thanh Hà
* Chức danh, học vị: Thạc sĩ
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Trường Đại học Văn Hiến
* Điện thoại: 0988667400
* Email: hantt@vhu.edu.vn
1. **Tóm tắt nội dung học phần**

Học phần cung cấp cho sinh viên kiến thức về lập trình và phát triển hệ thống nhúng trên FPGA (Field-Programmable Gate Array). Thông qua học phần, sinh viên sẽ học cách thiết kế, triển khai và kiểm tra các ứng dụng nhúng trên FPGA, sử dụng ngôn ngữ lập trình như VHDL hoặc Verilog. Ngoài ra, học phần này cung cấp cho sinh viên thiết kế vi mạch số bao gồm mạch tổ hợp, mạch tuần tự và các mạch ứng dụng sử dụng những ngôn ngữ mô tả phần cứng, viết chương trình mô phỏng dạng sóng để đánh giá, kiểm tra và chạy thực tế trên kit FPGA.

1. **Mục tiêu của học phần**

Học phần này cung cấp kiến thức và kỹ năng quan trọng cho việc phát triển các hệ thống nhúng trên FPGA (Field-Programmable Gate Array) trong các ứng dụng công nghiệp, y tế, và nhiều lĩnh vực khác. Ngoài ra, học phần giúp sinh viên thiết kế hệ thống nhúng trên FPGA cho các ứng dụng thực tế.

Sinh viên nắm vững kiến thức thiết kế các mạch số, máy trạng thái,… dùng ngôn ngữ mô tả phần cứng HDL, kiểm tra các thiết kế dùng các cấu kiện logic khả trình như CPLD, FPGA.

1. **Chuẩn đầu ra của học phần:**

| **Mã CĐR** | **Nội dung chuẩn đầu ra** |
| --- | --- |
| **Kiến thức** |
| CLO1 | Hiểu khái niệm cơ bản về FPGA và cấu trúc của FPGA. |
| CLO2 | Hiểu được các ngôn ngữ mô tả phần cứng như VHDL, Verilog và các khối mạch số cơ bản (mạch tổ hợp, mạch tuần tự). |
| CLO3 | Hiểu cách thức hoạt động của mạch số, bao gồm mạch tổ hợp và mạch tuần tự, trên FPGA. |
| CLO4 | Mô tả quy trình từ thiết kế, mô phỏng đến triển khai ứng dụng nhúng trên FPGA. |
| **Kỹ năng** |
| CLO5 | Áp dụng các ngôn ngữ VHDL hoặc Verilog để viết chương trình mô tả mạch tổ hợp và mạch tuần tự. |
| CLO6 | Triển khai và kiểm tra các thiết kế trên kit FPGA thực tế. |
| CLO7 | Phát triển các ứng dụng nhúng trên FPGA phù hợp với các yêu cầu cụ thể của hệ thống. |
| CLO8 | Thực hiện mô phỏng, thử nghiệm và đánh giá kết quả. |
| **Mức độ tự chủ và trách nhiệm** |
| CLO9 | Tổ chức làm việc nhóm, tổng hợp, đánh giá và đề xuất được công việc của các cá nhân trong nhóm thông qua bài tập, bài thực hành. |
| CLO10 | Lập kế hoạch làm việc độc lập và thực hiện được bài tập sau mỗi bài học, bài thực hành. |

**Ma trận liên kết giữa Chuẩn đầu ra chương trình đào tạo và Chuẩn đầu ra học phần**

| **Chuẩn đầu ra** | **PLO1** | **PLO2** | **PLO3** | **PLO4** | **PLO5** | **PLO6** | **PLO7** | **PLO8** | **PLO9** | **PLO10** | **PLO11** | **PLO12** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLO1 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO2 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO3 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO4 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO5 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO6 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO7 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO8 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO9 |  |  |  |  |  |  |  |  |  |  | X |  |
| CLO10 |  |  |  |  |  |  |  |  |  |  | X |  |

***Ghi chú: PLOs*** *(ProgrammeLearningOutcomes): Chuẩn đầu ra cấp CTĐT*

 ***CLOs****(Course LearningOutcomes): Chuẩn đầu ra học phần*

1. **Nội dung chi tiết của học phần**

**6.1. Lý thuyết**

| **Chương** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Chương 1** | **Tổng quan FPGA và lập trình nhúng** | **CLO1** |
| 1.1. | Giới thiệu FPGA và ứng dụng trong lập trình nhúng |  |
| 1.2. | Kiến trúc và nguyên lý hoạt động của FPGA |  |
| 1.3. | Các ngôn ngữ lập trình cho FPGA |  |
| **Chương 2** | **Lập trình HDL cho FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO7, CLO8, CLO9** |
| 2.1. | Cú pháp cơ bản của ngôn ngữ mô tả phần cứng HDL |  |
| 2.2. | Lập trình thuật toán xử lý trên FPGA bằng HDL |  |
| 2.3. | Kết hợp Python và HDL để lập trình cho FPGA |  |
| **Chương 3** | **Giao tiếp và điều khiển thiết bị trên FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO7, CLO8, CLO10** |
| 3.1. | Các chuẩn giao tiếp trên FPGA: Serial, Ethernet, USB,.. |  |
| 3.2. | Kết nối và điều khiển các thiết bị ngoại vi trên FPGA |  |
| 3.3. | Xử lý dữ liệu đầu vào/đầu ra bằng Python |  |
| **Chương 4** | **Phát triển ứng dụng nhúng trên FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO7, CLO8, CLO10** |
| 4.1. | Quy trình phát triển hệ thống nhúng trên FPGA |  |
| 4.2. | Ứng dụng thực tế sử dụng FPGA |  |

**6.2. Thực hành**

| **Bài** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Bài 1** | Tổng quan FPGA và môi trường phát triển | **CLO1, CLO2, CLO3** |
| 1.1. | Giới thiệu FPGA và các ứng dụng |  |
| 1.2. | Cài đặt môi trường phát triển |  |
| **Bài 2** | Lập trình HDL cho FPGA | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7, CLO8, CLO9, CLO10** |
| 2.1. | Ngôn ngữ mô tả phần cứng cơ bản |  |
| 2.2. | Lập trình thuật toán xử lý trên FPGA |  |
| 2.3. | Bài tập |  |
| **Bài 3** | **Giao tiếp và điều khiển thiết bị trên FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7, CLO8, CLO9, CLO10** |
| 3.1. | Giao tiếp nối tiếp, song song trên FPGA |  |
| 3.2. | Điều khiển các thiết bị ngoại vi: động cơ, cảm biến,.. |  |
| 3.3. | Xử lý dữ liệu đầu vào/đầu ra |  |
| 3.5. | Bài tập |  |
| **Bài 4** | **Ứng dụng điều khiển thiết bị nhúng trên FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7, CLO8, CLO9, CLO10** |
| 4.1. | Phát triển ứng dụng điều khiển thiết bị nhúng trên FPGA |  |
| 4.2. | Tối ưu hóa hiệu năng và chi phí hệ thống |  |
| 4.3. | Bài tập |  |

1. **Phân bổ thời gian theo tiết và điều kiện thực hiện:**

**7.1. Lý thuyết**

| **Chương** | **Tên chương** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Tổng quan FPGA và lập trình nhúng | 2 | 0 | 0 | 4 | 6 |  |
| 2 | Lập trình HDL cho FPGA | 5 | 0 | 0 | 10 | 15 |  |
| 3 | Giao tiếp và điều khiển thiết bị trên FPGA | 15 | 0 | 0 | 30 | 45 |  |
| 4 | Phát triển ứng dụng nhúng trên FPGA | 8 | 0 | 0 | 16 | 24 |  |
| **Tổng** | **30** | **0** | **0** | **60** | **90** |  |

**7.2. Thực hành**

| **Bài** | **Tên bài** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Tổng quan FPGA và môi trường phát triển | 0 | 0 | 3 | 6 | 9 |  |
| 2 | Lập trình HDL cho FPGA | 0 | 0 | 10 | 20 | 30 |  |
| 3 | Giao tiếp và điều khiển thiết bị trên FPGA | 0 | 0 | 12 | 24 | 36 |  |
| 4 | Ứng dụng điều khiển thiết bị nhúng trên FPGA | 0 | 0 | 5 | 10 | 15 |  |
| **Tổng** | **0** | **0** | **30** | **60** | **90** |  |

**CÁC CHỦ ĐỀ THẢO LUẬN VÀ TIỂU LUẬN**

1.

2.

3.

1. **Phương pháp giảng dạy:**

Giảng viên giảng dạy với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Đọc và tóm lược nội dung tài liệu
	+ Động não nhanh (bài tập tư duy cá nhân)
	+ Thực hành thí nghiệm
	+ Trình bày trực quan
	+ Giao bài đọc về nhà
	+ Hướng dẫn tự học
	+ Thảo luận nhóm

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp giảng dạy**

| **Phương pháp giảng dạy** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Đọc và tóm lược nội dung tài liệu | X | X | X | X | X | X | X | X | X | X |
| Động não nhanh (bài tập tư duy cá nhân) | X | X | X | X | X | X | X | X | X | X |
| Thực hành thí nghiệm | X | X | X | X | X | X | X | X | X | X |
| Trình bày trực quan | X | X | X | X | X | X | X | X | X | X |
| Giao bài đọc về nhà | X | X | X | X | X | X | X | X | X | X |
| Hướng dẫn tự học | X | X | X | X | X | X | X | X | X | X |
| Thảo luận nhóm | X | X | X | X | X | X | X | X | X | X |

1. **Phương pháp học tập**

Sinh viên học tập với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Làm việc nhóm
	+ Tự học, tự nghiên cứu
	+ Làm thí nghiệm theo nhóm
	+ Tìm kiếm thông tin/tài liệu

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp học tập**

| **Phương pháp học tập** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Làm việc nhóm | X | X | X | X | X | X | X | X | X | X |
| Tự học, tự nghiên cứu | X | X | X | X | X | X | X | X | X | X |
| Làm thí nghiệm theo nhóm | X | X | X | X | X | X | X | X | X | X |
| Tìm kiếm thông tin/tài liệu | X | X | X | X | X | X | X | X | X | X |

1. **Nhiệm vụ của sinh viên**
	1. Chủ động tổ chức thực hiện giờ tự học.
	2. - Tham gia đầy đủ các giờ lên lớp và giờ thuyết trình (sinh viên chỉ được vắng mặt tối đa 20% thời gian lên lớp của học phần).
	3. - Đọc tài liệu tham khảo bắt buộc và bổ trợ do giảng viên giới thiệu.
	4. - Hoàn thành đầy đủ các bài tập cá nhân, bài tập nhóm.

- Tham gia kỳ thi kết thúc học phần.

1. **Thang điểm đánh giá:** Điểm đánh giá quá trình và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến 1 chữ số thập phân.
2. **Phương pháp kiểm tra, đánh giá kết quả học tập**

Sinh viên được đánh giá kết quả học tập trên cơ sở hai điểm thành phần như sau:

1. *Điểm đánh giá quá trình: trọng số 40% bao gồm:*
	1. Điểm chuyên cần: trọng số 10%
	2. Điểm kiểm tra giữa kỳ: trọng số 30%
2. *Điểm thi kết thúc học phần: trọng số 60%*

Hình thức thi: Tiểu luận/Báo cáo thực hành

**Ma trận quan hệ giữa Chuẩn đầu ra và phương pháp kiểm tra, đánh giá**

| **Hình thức đánh giá** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Báo cáo thực hành | X | X | X | X | X | X | X | X | X | X |
| Tiểu luận | X | X | X | X | X | X | X | X | X | X |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Dự lớp |  |  |  |  |  |  |  |  | X | X |

1. **Tài liệu phục vụ cho học phần**

**13.1 Tài liệu chính**

- Vũ Chiến Thắng, Nguyễn Thanh Tùng, Hồ Mậu Việt, Nguyễn Ngọc Hoan, Vũ Văn Diện, Đinh Văn Nam, (2021), Thiết kế FPGA, NXB Xây dựng.

**13.2 Tài liệu tham khảo**

- Brock J. LaMeres, (2019), ntroduction to logic circuit & logic design with VHDL, Springer.

"Pong P. Chu, (2009), RTL Hardware Design Using VHDL, Wiley-IEEE Press.

- Nguyễn Đình Phú, Trương Thị Bích Ngà, (2018), Giáo trình thực hành thiết kế vi mạch số bằng VHDL – XILINX, NXB Thanh niên.

*TP.Hồ Chí Minh, ngày 20 tháng 10 năm 2024*

|  |  |  |
| --- | --- | --- |
| **HIỆU TRƯỞNG****PGS.TS. Nguyễn Minh Đức** | **Trưởng khoa/Bộ môn** | **Giảng viên biên soạn** |